

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication
number:

100156422 B1

(43)Date of publication of application:
22.07.1998

(21)Application number: 1019950034169

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22)Date of filing: 05.10.1995

(72)Inventor:

JEONG, SEONG KIL
KIM, JEONG HUI
KIM, JEONG LYOL
SONG, MOON KOOK

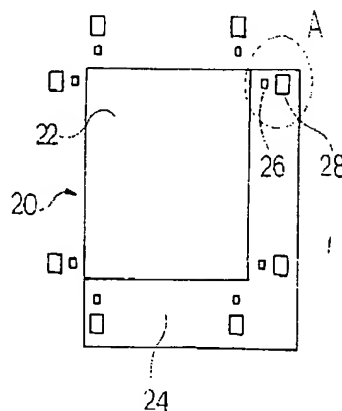
(51)Int. Cl

G03F 1/14
G03F 9/00

(54) RETICLE FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A reticle for manufacturing semiconductor device is provided to check a pattern miss accurately by delicately forming an align mark in a reticle used in a first step of an exposing process. CONSTITUTION: A device forming region (22) with a rectangular shape in which a pattern image of an effective chip portion is formed is formed the center of a reticle(20). A scribe line(24) is formed at an external portion of the device forming region(22). Two align marks having a pair of main pattern(28) and auxiliary pattern(26) are formed at a vertex portion of the device forming region(22) in each scribe line(24) of an X direction and a Y direction of the reticle(20).



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19951005)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (19980701)

Patent registration number (1001564220000)

Date of registration (19980722)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G03F 1/14 G03F 9/00	(45) 공고일자 1999년 02월 01일 (11) 등록번호 특이 56422 (24) 등록일자 1998년 07월 22일
(21) 출원번호 특 1995-034169 (22) 출원일자 1995년 10월 05일	(65) 공개번호 특 1997-022513 (43) 공개일자 1997년 05월 28일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 정성길
경기도 평택시 독곡동 468번지 삼익아파트 106동 507호
송운국
경기도 수원시 권선구 인계동 319-6 한신아파트 110동 304호
김정렬
경기도 수원시 팔달구 매탄1동 195-50호 2층
김정희
경기도 수원시 장안구 장자동 동신아파트 201동 1410호
(74) 대리인 신동준, 박만준

심사관 김관우

(54) 반도체장치 제조용 레티클

요약

반도체장치의 제조를 위한 노광공정시 제1시스템용으로 사용하는 레티클이 개시되어 있다.

본 발명의 반도체장치 제조용 레티클은, 열라민 마크가 상호 인접하여 쌍을 이루며 형성되어 있는 주척 패턴과 부척 패턴으로 이루어지며, 상기 주척 패턴은 사각관상의 사각판 패턴과 상기 사각판 패턴의 각 변을 따라 분리 형성된 막대형 패턴으로 구성되어 있으며, 상기 부척 패턴은 상기 주척 패턴과 오버랩될 경우 상기 주척 패턴의 상기 사각판 패턴내에 포함되며, 상기 주척 패턴과의 상대적 위치관계가 검출될 수 있도록 구성되어 있다.

따라서, 본 발명에 의하면 패턴 미스를 정확히 검출할 수 있기 때문에 제품의 품질 및 수율이 매우 향상되는 효과가 있다.

도면



본 실시

[발명의 명칭]

반도체장치 제조용 레티클

[도면의 간단한 설명]

제1a도 내지 제1c도는 반도체 웨이퍼상에 처음으로 패턴을 형성하는 제1시스템에 발생할 수 있는 문제점

을 도시한 도면들이다.

제2도는 종래 반도체장치 제조를 위한 제1스텝 공정에 사용되는 레티클의 얼라인 마크의 배열을 나타내는 도면이다.

제3도는 본 발명의 일 실시예에 따른 반도체장치 제조를 위한 제1스텝 공정에 사용되는 레티클의 얼라인 마크의 배열을 나타낸 도면이다.

제4도는 제3도의 A 부분을 확대한 도면이다.

제5도는 제3도의 레티클을 웨이퍼상에 노광했을 때의 얼라인 마크의 배열상태를 나타낸 도면이다.

제6도의 (a) 내지 (f)는 제4도의 B 부분에서 본 각종 패턴 미스의 예를 간략히 나타낸 도면들이다.

제7도는 X방향에 있는 얼라인 마크로 특정한 패턴 미스를 체크한 예를 나타낸 도면이다.

제8도는 Y방향에 있는 얼라인 마크로 특정한 패턴 미스를 체크한 예를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-------------------|-----------------|
| 1 : 노광패턴 | 2 : 실제(real) 패턴 |
| 10, 20 : 레티클 | 12, 22 : 소자형성영역 |
| 24, 25 : 스트라이브 라인 | 26 : 부척 패턴 |
| 27, 29 : 막대형 패턴 | 28 : 주척 패턴 |
| 30 : 사각판 패턴 | |

[발명의 상세한 설명]

본 발명은 반도체장치의 제조과정에서 사용되는 레티클에 관한 것으로서, 보다 상세하게는 반도체 웨이퍼상에 소자형성을 위한 사전식각공정의 제1스텝시 사용되며, 레티클간의 얼라인 미스를 검사할 수 있도록 얼라인 마크가 형성된 반도체장치 제조용 레티클에 관한 것이다.

반도체 제조과정에서는 패턴전사기구로서 마스크(mask)나 레티클(reticle)을 이용하고 있다. 일반적으로 마스크는 한 번의 노광으로 웨이퍼의 전면 또는 다른 마스크상에 전사될 수 있는 패턴 이미지를 포함하는 패턴전사기구라 할 수 있으며, 레티클은 전체 기판을 노광하기 위하여 스텝 앤드 리프트(step and repeat)되는 패턴 이미지를 포함하는 패턴전사기구라 할 수 있다. 이러한 레티클은 마스크상에 패턴의 이미지를 프린팅하는 경우에 사용되기도 하며, 스텝 앤드 리프트 얼라이너(스텝퍼)에서 웨이퍼상에 직접 이미지를 전사할 경우에 사용되기도 한다.

상기와 같이 레티클을 이용하여 반도체 웨이퍼상에 스텝 앤드 리프트 방식으로 직접 패턴 이미지를 전사할 경우 최초의 노광공정(이하 제1스텝이라함)에서는 패턴의 얼라인먼트(alignment)상 기준이 되는 패턴이 없기 때문에 패턴의 축소(reduction)나 회전(rotation)의 문제가 일반적으로 발생한다.

제1a도 내지 제1c도는 상기 제1스텝에서의 문제 발생 포인트를 도시한 도면들이다.

제1a도는 파선으로 표시된 미리 설계된 소정의 설계패턴(2)보다 웨이퍼에 실질적으로 노광된 실선으로 표시된 노광패턴(1)이 작게 축소된 경우(-reduction)를 나타내며, 제1b도는 이와 반대로 설계패턴(2)보다 웨이퍼에 노광된 노광패턴(1)이 크게 확대된 경우(+reduction)를 나타낸다. 또한 제1c도는 레티클 패턴의 중심을 기준으로 노광패턴(1)이 설계패턴(2)에 비하여 소정각도만큼 회전된 경우를 나타낸다. 또한 도시되지 않았지만 패턴의 축소와 회전이 동시에 발생되기도 한다.

따라서, 이러한 반도체 제조과정 중의 제1스텝 노광공정에서 발생하는 문제를 해결하기 위하여 제1스텝시 사용되는 레티클에는 후속되는 노광 공정시 패턴 얼라인먼트의 기준이 되는 얼라인 마크(또는 키)를 위한 패턴을 형성하게 되며, 통상 반도체 소자가 형성되는 소자형성영역 주위의 스크라이브(scribe) 라인상에 형성하게 된다.

제2도는 스크라이브 라인상에 얼라인 마크가 형성된 종래의 제1스텝용 레티클을 나타낸 개략도면이다. 상기 레티클(10)의 중심에는 유효한 칩패턴이 되는 소자형성영역(12)이 형성되며, 그 주위를 따라 칩 형성을 위한 절단공정시 절단되는 스크라이브 라인이 있다. 한편, 상기 제2도의 Y방향의 스크라이브 라인에 형성된 얼라인 마크인 X1과 Y1은 주척 베니어(vernier)로 작용하며, X방향의 스크라이브 라인상에 형성된 X2와 Y2는 부척 베니어로 작용한다. 즉, 상기 제1스텝용 레티클(10)을 이용하여 웨이퍼상에 스텝 앤드 리프트 방식으로 스크라이브 라인을 겹쳐서 노광하면 상기 X1과 X2, Y1과 Y2는 겹쳐서 패턴이 형성된다. 따라서, 상기 주척과 부척 패턴의 겹쳐진 패턴을 현미경으로 검사하여 레티클의 회전을 확인하게 된다.

그러나, 상기 종래의 레티클에 의하면 레티클의 회전정도가 심한 경우에만 겨우 확인할 수 있을 뿐이며, 패턴의 축소나 확대는 거의 검사해 낼 수 없었다. 한편, 반도체소자의 고집적화가 이루어질수록 디자인룰(design rule)의 감소로 역간의 패턴 미스가 발생하더라도 소자의 불량률이 현저히 늘어나게 된다.

따라서, 본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위한 것으로서, 제1스텝 공정시 패턴의 미스(miss)를 보다 정확히 검사할 수 있도록 얼라인 마크가 형성되어 있는 반도체장치 제조용 레티클을 제공하는 데 있다.

상기 본 발명의 목적을 달성하기 위한 본 발명에 의한 반도체 제조용 레티클은, 레티클간의 얼라인 미스를 검사할 수 있는 얼라인 마크가 스트라이브 라인내에 형성되어 있는 반도체장치 제조용 레티클에 있어서, 상기 얼라인 마크는, 상호 인접하여 쌍을 이루며 형성되어 있는 주척 패턴과 부척 패턴으로 이루어지며, 상기 주척 패턴은 사각판 패턴과 상기 사각판 패턴의 각 변을 따라 분리 형성된 막대형 패턴으로 구성되어 있으며, 상기 부척패턴은 상기 주척패턴과 오버랩될 경우 상기 주척 패턴의 상기 사각판 패턴내에

포함되어져 상기 주척 패턴과의 상대적 위치관계가 검사될 수 있도록 구성되어 있다.

상기 얼라인 마크는 레티클의 X방향 및 Y방향의 각 스크라이브 라인내에 적어도 2쌍 이상이 형성되어 있으며, 또한 레티클내의 소자형성영역을 이루는 사각형상의 각 꼭지점부근에 형성되어 있는 것이 패턴 미스의 정확한 검사를 위하여 바람직하다.

이하, 본 발명의 실시예에 관하여 첨부한 도면을 참조하여 구체적으로 살펴본다.

제3도는 본 발명의 일실시예에 의한 제1시스템용 레티클(20)을 개략적으로 나타낸 도면이다. 상기 레티클(20)은 그 중앙에 유호한 컴퍼넌트의 패턴 이미지가 형성되어 있는 사각형상의 소자형성영역(22)이 형성되어 있으며, 상기 소자형성영역(22)의 외부로는 절단공정에 의하여 폐기되어지는 스크라이브 라인(24)이 형성되어 있다. 상기 레티클의 X방향(도면상 수평방향)과 Y방향(도면상 수직방향)의 각 스크라이브 라인(24) 내에는 주척 패턴(28)과 부척 패턴(26)이 한쌍을 이루는 얼라인 마크가 상기 사각형상의 소자형성영역(22)의 각 꼭지점 부근에 1개씩 모두 2개가 형성되어 있다.

제4도는 상기 제3도의 A 부분을 확대한 도면을 나타낸다. 제4도를 참조하면, 스크라이브 라인(24) 내에 형성된 주척 패턴(28)은 내부에 사각형상의 사각형 패턴(30)이 형성되며, 그 주위로 각 변에 대응하는 제1막대형 패턴(29)이 상호 분리되어 형성되어 있다. 물론 상기 막대형 패턴(29)은 일체형으로 형성될 수 있다.

한편, 상기 주척 패턴(28)과 인접하여 쌍을 이루는 부척 패턴(26)은 상기 주척 패턴(28)의 제1막대형 패턴(29)과 동일한 형상의 제2막대형 패턴(27)로 이루어지며, 단지 패턴의 크기만 축소된 형태이다. 상기 제2막대형 패턴(27)은 스텝 앤드 리프트 방식의 노광공정에서 인접한 레티클과 겹쳐서 노광될 경우 상기 주척 패턴(28)이 상기 사각형 패턴(30) 내에 위치하도록 크기가 정하여지며, 상기 부척 패턴(26)이 상기 사각형 패턴(30)의 면적의 1/4정도가 되는 것이 패턴 미스의 정확성을 위해 바람직하다.

한편, 제4도에서 보여지듯이 상기 주척패턴(28)과 부척 패턴(26)은 포토레지스트층으로 형성하며, 도면상 해칭된 부분이 포토레지스트층을 나타낸다. 또한, 상기 부척패턴(26)의 형상은 반드시 막대형일 필요는 없으며 상기 주척 패턴(28)과의 사이에서 상대적인 위치관계를 나타낼 수 있는 형상이면 족하다.

제5도는 상기 제3도의 본 발명에 의한 레티클을 사용하여 제1소형 공정을 반도체 웨이퍼상에 수행한 후의 얼라인 마크의 배열을 나타낸 도면이다. 각 레티클(20)의 주척 패턴(28)과 부척패턴(26)은 인접되는 레티클(20)의 주척패턴(28)과 부척패턴(26)이 상호 교차되게 오버랩된다.

제6도의 (a) 내지 (f)는 제5도의 8위치에서 본 각종 패턴미스가 난 것을 보여주는 예들이다. 상기 제5도의 좌상측에 위치한 레티클의 소자형성영역(22)의 중심점 O(X, Y)를 기준점 (0, 0)으로 하였다.

(a)와 (b)도는 부척 패턴이 주척 패턴내의 상측 또는 하측으로 변이하여 서로 반대방향으로 회전된 것을 나타내며, (c)도와 (d)도는 부척패턴이 주척패턴내의 좌측 또는 우측으로 변이하여 서로 반대방향으로 축소된 것을 나타내며, (e)도는 축소와 회전이 동시에 발생된 것을 나타낸다. (f)도는 패턴의 미스가 발생하지 않은 경우로써, 상기 부척 패턴의 제2막대형패턴(27)이 주척 패턴의 제1막대형패턴(29) 내의 정중앙에 위치한다.

제7도와 제8도는 축소와 회전이 각각 5 PPM 존재할 경우 오버레이(overlay) 장비로 패턴미스를 검사한 계산의 예를 보여주는 것으로서, 제7도는 X 방향의 얼라인 마크로 검사한 것을 나타내며, 제8도는 Y방향의 얼라인 마크로 체크한 것을 나타낸다.

제7도에서는 X 방향의 축소가 10 PPM, Y 방향의 축소가 0 PPM, X 방향의 회전이 0 PPM, Y 방향의 회전이 10 PPM으로 체크되며, 제8도에서는 X 방향의 축소가 0 PPM, Y 방향의 축소가 10 PPM, X 방향의 회전이 10 PPM, Y 방향의 회전이 0 PPM으로 체크된다.

상기 모니터링된 데이터로부터 X방향이나 Y 방향중 어느 것을 체크하여도 축소 및 회전의 값은 결정될 수 있음을 알 수 있다. 한편, 축소 또는 회전값이 5 PPM 임에도 불구하고 모니터링 값이 각각 10 PPM이 되는 것은 제1 시스템공정에서 레티클의 섷(Shot) 간의 패턴 미스는 동시에 양 방향으로 변하기 때문이며, 보정 값을 계산하기 위해서는 X 방향의 모니터링값과 Y 방향의 모니터링값의 합을 반으로 나누면 된다. 상기 보정값은 스텝퍼에 입력되어 설정치들을 재설정하여 패턴 미스를 최소화하게 된다.

이상의 실시예에서 살펴본 바와 같이, 본 발명에 의하면 노광공정의 제1시스템에서 사용하는 레티클에 얼라인 마크를 보다 정교하고 합리적으로 형성함으로써 패턴미스를 정확히 검사해 낼 수 있게 되었다. 따라서, 반도체소자의 패턴 미스가 감소하여 제품의 품질 및 수율이 매우 향상되는 효과를 얻을 수 있게 되었다.

본 발명은 이상의 실시예에 대해서만 상세히 설명하였지만, 본 발명의 기술적 요지가 미치는 범위내에서 다양하게 변형 또는 수정하여 실시할 수 있음은 당업자에게 있어서 명백한 것이며, 이를 모두는 이하의 특허청구범위에 모두 포함된다.

(57) 청구의 범위

청구항 1

적어도 하나의 소자영역과 상기 소자영역을 둘러싸며 레티클간의 얼라인 미스를 검사할 수 있는 얼라인 마크가 형성되어 있는 스크라이브 라인을 구비하는 반도체장치 제조용 레티클에 있어서, 상기 레티클은, 상호 인접하여 쌍을 이루며 형성되어 있는 주척 패턴과 부척 패턴으로 이루어지는 적어도 두 개의 동일한 얼라인 마크를 구비하며, 상기 주척 패턴은 사각형 패턴과 상기 사각형 패턴의 각 변을 따라 분리 형성된 막대형 패턴으로 구성되어 있으며, 상기 부척패턴은 상기 주척패턴과 오버랩될 경우 상기 주척 패턴의 상기 사각형 패턴내에 포함될 수 있는 패턴으로 구성되어 있으며, 스텝 앤드 리프트 방식에 의한 반독노광 시 연속된 레티클의 위치에서 상기 얼라인 마크의 주척 패턴과 부척패턴은 각기 다른 얼라인 마크의 부척 패턴과 주척패턴과 오버랩되어 상기 주척패턴과 부척패턴간의 상대적 위치관계가 검사될 수 있도록 구성

되어 있는 것을 특징으로 하는 반도체 장치 제조용 레티클.

청구항 2

제1항에 있어서, 상기 옐라인 마크는 레티클의 X방향 및 Y방향의 각 스크라이브 라인내에 적어도 2쌍 이상 형성되어 있는 것을 특징으로 하는 상기 반도체장치 제조용 레티클.

청구항 3

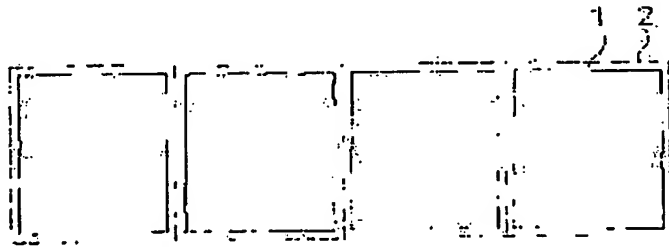
제2항에 있어서, 상기 옐라인 마크는 레티클내의 소자형성영역을 이루는 사각형상의 각 꼭지점부근에 형성되어 있는 것임을 특징으로 하는 상기 반도체장치 제조용 레티클.

청구항 4

제1항에 있어서, 상기 부착 패턴은 상기 주착 패턴의 막대형 패턴의 축소형상인 것을 특징으로 하는 상기 반도체장치 제조용 레티클.

도면

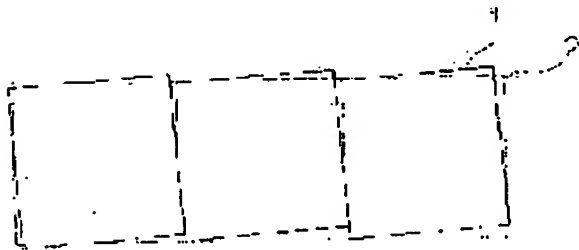
도면 1a



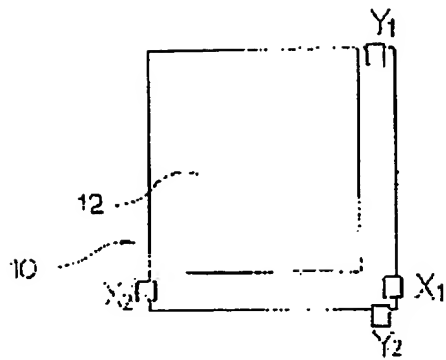
도면 1b



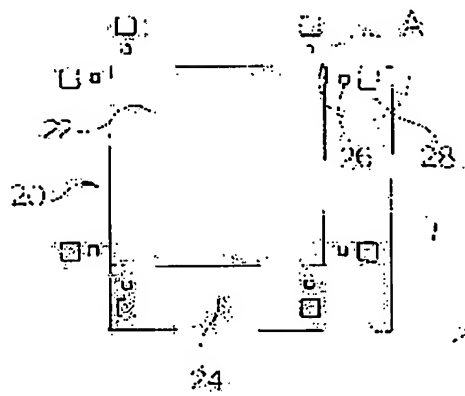
도면 1c



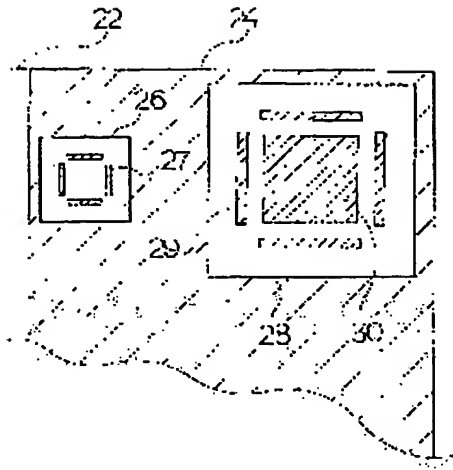
도 2



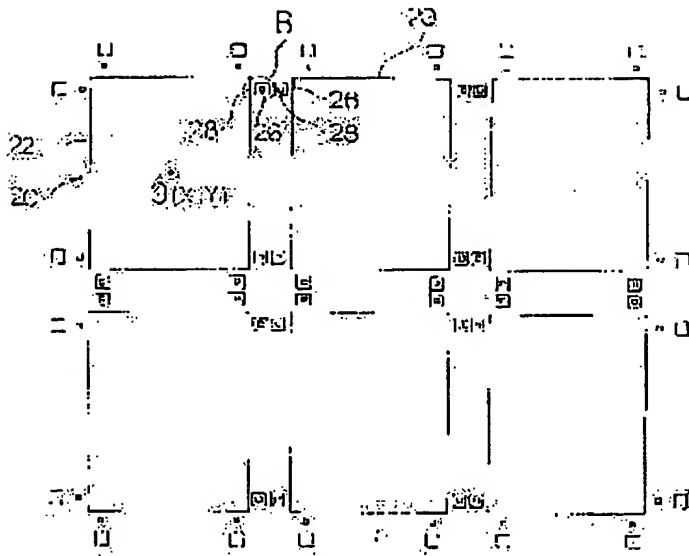
도 3



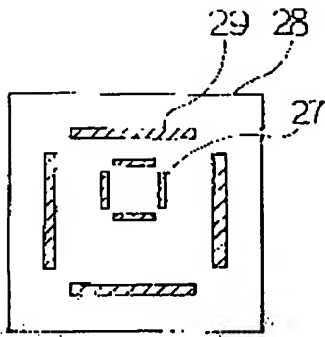
도면4



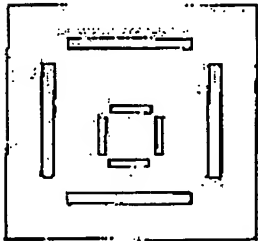
도면5



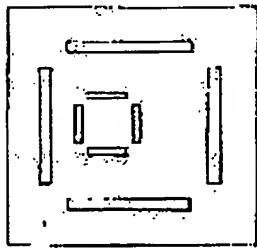
도18a



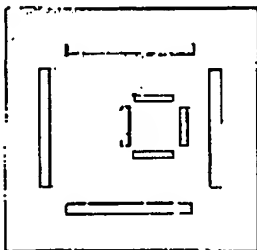
도18b



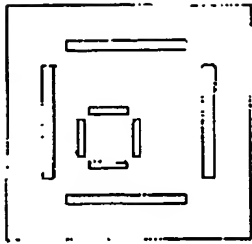
도18c



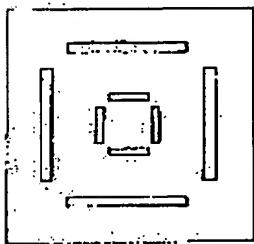
도18d



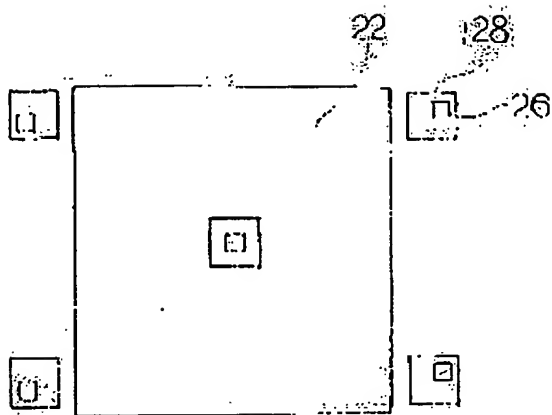
도 16a



도 16b



도 17



도 28

